

DIALOG(R)File 347:JAPIO

(c) 2005 JPO & JAPIO. All rts. reserv.

02988843     \*\*Image available\*\*

**SEMICONDUCTOR DEVICE AND ITS MANUFACTURE**

PUB. NO.:     **01-286443 [JP 1286443 A]**

PUBLISHED:     November 17, 1989 (19891117)

INVENTOR(s):     MORIMOTO TAKASHI

YOSHINO HIDEO

AKITANI HIDEO

APPLICANT(s): NIPPON TELEGR & TELEPH CORP <NTT> [000422] (A Japanese  
Company or Corporation), JP (Japan)

APPL. NO.:     **63-116557 [JP 88116557]**

FILED:     May 13, 1988 (19880513)

INTL CLASS:     [4] H01L-021/88; H01L-021/302

JAPIO CLASS:     42.2 (ELECTRONICS -- Solid State Components)

JOURNAL:     Section: E, Section No. 885, Vol. 14, No. 67, Pg. 49,  
February 07, 1990 (19900207)

**ABSTRACT**

PURPOSE: To uniformize the etching time of wiring connection holes whose depths are different with each other, at the time of forming the wiring connection holes, improve the connection yield of the wiring connection holes, and prevent the irregularity in pattern conversion difference, by a method wherein an insulating layer is formed by stacking a first insulating layer and a second insulating layer whose etching rates are different, and the thickness of the second insulating film on a conducting layer whose surface is high, is made thinner than the thickness of the second insulating film on a conducting film whose surface is low.

CONSTITUTION: The main surface 10 has a step-difference whose height is H10. A wiring 6 and a wiring 7 are formed on the main surface 10; an interlayer insulating film 2 is formed; an interlayer insulating film 20 whose material is different from that of the film 2 is formed; the surface of the interlayer insulating film 20 is flattened by, e.g., etching method,

and a surface 3 is obtained; holes 12, 13 for forming wiring connection holes are formed by photo resist 11; the interlayer insulating film 20 is etched at a etching rate  $a_{20}$  by e.g., RIE using the photo resist 11 as a mask; at this time, the etching rate of the interlayer insulating film 2 is set as  $a_2$ .

**English Translation of JP01-286443**

**(19) Japanese Patent Office (JP)**

**(11) Publication Number: Hei 01-286443**

**(43) Date of publication of application: November 17th, 1989**

**(12) Patent Laid-open Official Gazette (A)**

**(51) Int. Cl.<sup>4</sup>**

**H01L 21/88**

**H01L 21/302**

**The Number of Invention: 3 (8 pages in total)**

**Request of Examination: not made**

**(54) Title of Invention: SEMICONDUCTOR DEVICE AND  
MANUFACTURING METHOD THEREOF**

**(21) Application Number: Sho 63-116557**

**(22) Filing Date: May 13th, 1988**

**(71) Applicant: Nippon Telegraph and Telephone Corporation**

**(72) Inventor: Takashi MORIMOTO**

**c/o Nippon Telegraph and Telephone Corporation**

**1-1-6 Uchisaiwaicho, Chiyoda-ku, Tokyo, Japan**

**(72) Inventor: Hideo YOSHINO**

**c/o Nippon Telegraph and Telephone Corporation**

**1-1-6 Uchisaiwaicho, Chiyoda-ku, Tokyo, Japan**

**(72) Inventor: Hideo AKITANI**

**c/o Nippon Telegraph and Telephone Corporation**

1-1-6 Uchisaiwaicho, Chiyoda-ku, Tokyo, Japan

(74) Representative: Patent attorney: Hisagoro TAMAMUSHI and two others

**Specification**

**1. [Title of the Invention]**

**SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD  
THEREOF**

**2. [Scope of Claims]**

[Claim 1] A semiconductor device comprising a conductive layer including a step on a surface of a semiconductor substrate where electrode wirings are formed; and an insulating layer in which a predetermined portion is opened over the conductive layer, wherein the insulating layer is formed by stacking first and second insulating layers of which etching rates are different, a thickness of the second insulating layer over a conductive layer where a height of a surface is high is thinner than that of a second insulating film over a conductive layer where a height of a surface is low.

[Claim 2] A manufacturing method of the semiconductor device according to claim 1, wherein a wiring connection hole is formed by an etching method using a photo resist as a mask in which an etching rate of the second insulating layer is higher than that of the first insulating layer.

[Claim 3] A manufacturing method of the semiconductor device according to claim 1 comprising a first step for dry etching an insulating film layer by using a photo resist as a mask; and a second step for etching the photo resist

and the insulating film layer simultaneously using a dry etching method in which an etching rate of the photo resist is higher than that of the insulating film layer.

### 3. [Detailed Description of the Invention]

#### [Industrial Field for the Invention]

The present invention relates to a semiconductor device and a manufacturing method thereof, and more concretely to a structure of a wiring connection hole in a multilevel interconnection of an integrated circuit and a forming method thereof.

#### [Prior Art]

Figs. 7 (A) and (B) show a forming method of a conventional wiring connection hole. Since planarization of a surface 3 of an interlayer insulating film 2 improves homogenization of transmission characteristics of a wiring and is effective for preventing disconnection of a wiring and a leak current between wirings, it is essential in accordance with miniaturization of a wiring. Since the planarization in a multilevel interconnection is generally performed over a base with unevenness, difference between depths of wiring connection holes 4 and 5 which are formed by etching in aperture portions of a photo resist 11 approaches a height of a step which the unevenness of the base has, as the planarization degree of the surface 3 is improved. Consequently, times required for etching in forming the wiring connection holes 4 and 5 are different, so that an exposed surface 8 on a base 6 of the wiring connection hole 4 which is shallow is exposed in an atmosphere of

etching even after finishing etching of the wiring connection hole 4 until the wiring connection hole 5 which is deep is finished forming. In this case, reference symbol a denotes an etching rate of the interlayer insulating film 2; b denotes that of the base 6; and H4 and H5 respectively denote depths of the wiring connection holes 4 and 5. A depth h6 (see Fig. 7 (B)) which the base 6 is etched at finish of etching is at least

$$h6 = b (H5 - H4) / a.$$

#### [Problems to be Solved by the Invention ]

Such an etching of the base is not only unnecessary, but also causes a disconnection defect. Besides, pattern conversion difference by etching is easy to increase by being exposed in an atmosphere of etching after finish of etching, so that it is required to make an etching time uniform from a viewpoint of miniaturization of a pattern.

#### [Means for Solving the Problems]

In view of the foregoing, it is an object of the present invention to provide a wiring connection hole forming method for making an etching time of wiring connection holes having different depths uniform to improve a connection yield of the wiring connection hole and prevent fluctuation of pattern conversion difference in a formation of a wiring connection hole.

Figs. 6 (a) to (f) are principle views for describing a structure and a forming method of a semiconductor device of the present invention in order of steps. A main surface 10 of a substrate 1 has a step with a height of H10 (a).

Wirings 6 and 7 are formed on the main surface 10 (b). After that, an interlayer insulating film 2 is formed (c). Subsequently, an interlayer insulating film 20 of which material is different from the interlayer insulating film 2 is formed. A surface of the interlayer insulating film 20 is planarized by, for example, an etching method, so that a surface 3 is obtained (d). Holes 12 and 13 for forming wiring connection holes are formed by using a photo resist 11 (e). Next, the interlayer insulating film 20 is etched by, for example, a reactive ion etching method (RIE) at an etching rate  $a_{20}$  by using the photo resist 11 as a mask. At this time, the interlayer insulating film 2 is etched at an etching rate  $a_2$ . A time  $T_6$  while the wiring 6 is exposed in an atmosphere of etching until etching of a connection hole 5 is completed is  $H_{10}/a_{20}$ .  $H_{10}$  is illustrated in Fig. 6 (a). The higher the etching rate  $a_{20}$ , the time  $T_6$  becomes shorter. In addition, the higher the etching rate  $a_{20}$  as compared to the etching rate  $a_2$ , a ratio of  $T_6$  to an etching finishing time of the connection hole 5 is reduced so that a wiring connection hole forming time can be made uniform (f). As set forth above, the semiconductor device of the present invention has a structural characteristic that the interlayer insulating film has a two-layer structure, and a film thickness ratio of the interlayer connection film 20 with high etching rate to the interlayer insulating film 2 with low etching rate becomes higher in a position of a wiring connection hole as the wiring connection hole becomes deeper.

#### [Embodiment]

Fig. 1 is a cross sectional view of a first embodiment of a wiring connection hole forming method of the present invention. In the drawing, reference numeral 1 denotes a substrate formed by integrating a semiconductor device; 2 denotes an insulating film; 20 denotes an insulating film of which material is different from that of 2; 3 denotes a surface of a most upper insulating film; 4 and 5 denote wiring connection holes; 6 and 7 denote wirings; 8 and 9 denote exposed portions of respective wirings 6 and 7; 10 denotes a main surface of the substrate 1; and 11 denotes a photo resist.

Hereinafter, a manufacturing method of a wiring connection hole shown in Fig. 1 is described with reference to Fig. 4.

A step with a height of H10 exists on the main surface 10 of the substrate 1 formed by integrating a semiconductor device such as a MOS field effect transistor or a bipolar transistor, a region for separating elements, or the like. A wiring of which material is, for example, aluminum is formed on the main surface 10 by an aluminum depositing step, a photolithography step and an etching step. The wiring 6 typifies a wiring formed on a higher portion of the step of the main surface 10, and the wiring 7 typifies a wiring formed on a lower portion of the step of the main surface 10. Subsequently, the insulating film 2 of which material is, for example, SiO<sub>2</sub> is deposited. The deposit of SiO<sub>2</sub> can be performed by a vapor phase reaction and sputtering. A film thickness of SiO<sub>2</sub> is required to be enough to deposit the wiring. It is approximately 100 nm with respect to a height of 1 μm of a wiring. Si<sub>3</sub>N<sub>4</sub> can be used for the insulating film 2. Next, the insulating film 20 using PSG

as a material is deposited with a film thickness of approximately 1  $\mu\text{m}$ . Subsequently, the surface 3 of the insulating film 20 which is planarized using a surface planarization method such as an etch back method is obtained. For that purpose, for example, an organic polymeric material layer 12 is applied thereover, which is treated thermally to form a wiring structure having a plane surface. Next, the surface of the wiring structure which is structured in this manner is etched by RIE under the condition that etching rates of the insulating film 20 and the organic polymeric material layer 12 are the same, so that the plane surface 3 is obtained by removing a convexity of the insulating film 20 simultaneously with etching of the organic polymeric material layer 12.

Next, after the photo resist 11 is applied with a film thickness of 1.6  $\mu\text{m}$  by the photolithography step, the aperture positions 13 and 14 for the wiring connection holes are exposed by patterning, and the surface 3 is covered with a photo resist.

An etching of the wiring connection hole is performed with a normal RIE apparatus, and an etching rate of PSG is 130 nm/min while that of  $\text{SiO}_2$  is 36 nm/min in the case of using  $\text{CHF}_3/\text{O}_2$  mixed gas as an etching gas at a flow ratio of 9/50 SCCM, at a pressure of 50 mTorr, and at a RF electric power of 1000 W. Here, for example, the step H10 is 0.5  $\mu\text{m}$ , the depth of the wiring connection hole 4 is 0.5  $\mu\text{m}$ , the depth of the wiring connection hole 5 is 1  $\mu\text{m}$ , and the film thickness of the insulating film 2 is 0.5  $\mu\text{m}$ . In this case, the wiring connection hole 4 is overetched for about 3.8 minutes until an etching

of the wiring connection hole 5 is finished. It corresponds to 22% of the total etching time. On the one hand, in the case that  $\text{SiO}_2$  is used for all of the interlayer insulating films, the wiring connection hole 4 is overetched in the same way for about 13.9 minutes, which corresponds to 50% of the total etching time. On the other hand, in the case that PSG is used for all of the interlayer insulating films, the overetching time of the wiring connection hole is the same as that of the present embodiment, however, which corresponds to 50% of the total etching time. As set forth above, in the wiring structure in which the main surface 10 of the base has a step and the surface 3 is planarized, the etching finish times of the wiring connection holes having different depths can approach by that the interlayer insulating film is formed to have a two-layer structure and the etching rate of the upper layer is made to be higher than that of the lower layer. As a result, an unnecessary overetching time can be shortened, so that a disconnection defect and increase of pattern conversion difference due to etching of an aluminum wiring accompanied by an overetching can be prevented.

In addition, it goes without saying that the interlayer insulating film 20 can remain over the entire surface after the etch back as shown in Fig. 6.

Fig. 2 is a cross sectional view of a second embodiment of a wiring connection hole forming method of the present invention. It shows the case that wiring connection holes are formed on impurity-dispersed layers 16 and 17, and similarly to the case of the first embodiment, an unnecessary overetching time of the wiring connection hole 4 can be shortened.

Fig. 3 is a cross sectional view of a third embodiment of a wiring connection hole forming method of the present invention.

Hereinafter, a manufacturing method of a wiring connection hole shown in Fig. 3 is described with reference to Fig. 5.

An etching of the wiring connection hole is performed, as a first stage by using CHF<sub>3</sub>/O<sub>2</sub> mixed gas as an etching gas at a flow ratio of 9/50 SCCM, at a pressure of 50 mTorr, at a RF electric power of 1000 W, and an etching rate of PSG is 130 nm/min while that of SiO<sub>2</sub> is 36 nm/min. In the first stage, time for which PSG is etched to 0.5 μm and SiO<sub>2</sub> is etched to 0.14 μm is selected. Subsequently, as a second stage, an etching is performed by using CHF<sub>3</sub>/O<sub>2</sub> mixed gas as an etching gas at a flow ratio of 75/50 SCCM, at a pressure of 50 mTorr, at a RF electric power of 1000 W, and an etching rate of PSG is 50 nm/min, that of SiO<sub>2</sub> is 20 nm/min, and that of the photo resist 11 is 100 nm/min. As the second stage, time for which SiO<sub>2</sub> is etched to 360 nm and the photo resist is etched to 0.9 μm is selected. At this time, the photo resist is side-etched at 50% of the above-described etching rate and is enlarged to approximately 0.5μm on one side as compared to that when the etching is started. When the etching of the second stage is finished, the wiring connection hole 4 is finished etching so that the exposed surface 8 of the base wiring 6 is exposed. On the other hand, a portion of 0.14 μm which is not etched in the interlayer insulating film 2 remains in the wiring connection hole 5. Succeedingly, as a third stage, the same etching condition as that of the first stage is selected, and SiO<sub>2</sub> is etched to 0.14 μm to expose

an exposed surface 9 of the base wiring 7 so that the etching of the wiring connection hole 5 is completed. A sidewall of the wiring connection hole has inclination accompanied by enlarging the exposed portions 13 and 14 of the photo resist 11 in the second stage, and the hole diameter becomes larger in upper surface of an aperture, so that the wiring connection holes become taper shapes where the exposed surfaces 8 and 9 of the base wirings keep the initial hole diameters. As one effect, the wiring is easy to enter into the connection hole, so that throwing power of wiring is improved, and consequently the yield of connection in the wiring connection hole is improved. As another effect, the exposed diameter of the base wiring is not enlarged, so that an aligning margin of the wiring connection hole and the base wiring is not required to enlarge, and consequently it is favorable for miniaturizing a pitch of wiring.

In the case that  $\text{SiO}_2$  is used for all of the interlayer insulating films and the taper shape of the wiring connection hole is obtained in the same way of the second stage in the embodiment 3, if the initial hole diameter in the exposed portion 8 of the base wiring in the wiring connection hole 4 of which depth is shallow is intended to keep, a time schedule in which the second stage can be applied in an etching process of the wiring connection hole is limited, so that the inclination of the sidewall cannot be obtained under 0.5  $\mu\text{m}$  from the upper portion of the wiring connection hole 5 as a shape of the wiring connection hole. Consequently, the improvement for throwing power of wiring has less effect as the hole diameter is miniaturized and the step of

the base becomes large. Besides, it is obvious that the overetching time for the wiring connection hole is longer than that of the present embodiment 2.

In the case that PSG is used for all of the interlayer insulating films and the taper shape of the wiring connection hole is obtained in the same way of the second stage in the embodiment 3, the taper shape cannot be formed in a bottom portion of  $0.5 \mu\text{m}$  of the wiring connection hole 5 as a shape of the wiring connection hole in order to prevent enlarging the hole diameter in the exposed portion 8, and furthermore, there is a practical problem that it is difficult to find a stable etching condition for making an etching rate ratio of a photo resist to PSG high. In the case of a level in the second stage of the embodiment 3, it is not so much expected that the throwing power of wiring is improved since the photo resist is enlarged to  $0.2 \mu\text{m}$  on one side.

Accordingly, in the present invention, the etching time of the wiring connection holes having different depths can be uniform. Besides, a position of the taper of the sidewall in the wiring connection hole can be set freely without changing the pitch of wiring.

#### [Effects of the invention]

As mentioned above, the overetching time of a wiring connection hole can be shortened according to the present invention. An effect thereof is that a yield of wiring connection is improved since a quantity of etching of a wiring connection hole base accompanied by overetching is reduced. Furthermore, there is an effect that control of a pattern conversion difference

at etching of the wiring connection hole is improved since enlargement of the wiring connection hole by side etching accompanied by overetching is reduced. It is advantageous to miniaturization of a pitch of wiring. An inclination of a sidewall of a wiring connection hole can be controlled in the present invention. Furthermore, a position to enlarge the wiring connection hole can be set freely while keeping a hole diameter of the bottom of the wiring connection hole the initial size in the present invention. As an effect thereof, steepness of the step in the wiring connection hole is eased without reducing a margin for fitting the wiring connection hole, so that throwing power of wiring is improved even in a microscopic wiring connection hole, and consequently the improvement of the yield of wiring connection can be realized.

#### 4. [Brief Description of the Drawings]

Fig. 1, Fig. 2 and Fig. 3 are cross sectional views each showing one embodiment of a semiconductor device of the present invention.

Figs. 4 (a) through (h) are cross sectional views showing one embodiment of a manufacturing method of the semiconductor device shown in Fig. 1 in order of steps.

Figs. 5 (a) through (d) are cross sectional views showing one embodiment of a manufacturing method of the semiconductor device shown in Fig. 3 in order of steps.

Figs. 6 (a) through (f) are cross sectional views showing a structural principle

of the semiconductor device of the present invention in order of steps.

Figs. 7 (A) and (B) are cross sectional views showing one example of a manufacturing method of the conventional semiconductor device in order of steps.

1 ... substrate formed by integrating a semiconductor device

2 ... insulating film

3 ... surface of a most upper insulating film

4, 5 ... wiring connection hole

6, 7 ... wiring

8, 9 ... exposed portion of wirings 6 or 7

10 ... main surface of substrate 1

11 ... photo resist

12 ... organic polymeric material layer

13, 14 ... aperture of wiring connection hole 4 or 5 of photo resist 11

16, 17 ... impurity-dispersed layer

20 ... insulating film of which material is different from insulating film 2

Applicant: Nippon Telegraph and Telephone Corporation

Representative: Patent attorney: Hisagoro TAMAMUSHI and two others

⑩日本国特許庁(JP)

⑪特許出願公開

⑫公開特許公報(A) 平1-286443

⑬Int.Cl.

H 01 L 21/88  
21/302

級別記号

庁内整理番号

K-6824-5F  
L-8223-5F

⑭公開 平成1年(1989)11月17日

審査請求 未請求 請求項の数 3 (全8頁)

⑮発明の名称 半導体装置とその製造方法

⑯特 願 昭63-116557

⑰出 願 昭63(1988)5月13日

⑱発明者 森 本 孝 東京都千代田区内幸町1丁目1番6号 日本電信電話株式会社内

⑲発明者 吉 野 秀 男 東京都千代田区内幸町1丁目1番6号 日本電信電話株式会社内

⑳発明者 秋 谷 秀 夫 東京都千代田区内幸町1丁目1番6号 日本電信電話株式会社内

㉑出願人 日本電信電話株式会社 東京都千代田区内幸町1丁目1番6号

㉒代理人 弁理士 玉蟲 久五郎 外2名

明細書

1. 発明の名称

半導体装置とその製造方法

る半導体装置の製造方法。

即 特許請求の範囲(I)に記載の半導体装置の製造において、ホトレジストをマスクにして絶縁膜層をドライエッティングする第1の工程と、該ホトレジストのエッティングレートが上記絶縁膜層のエッティングレートより大きいドライエッティング方法により前記ホトレジストと上記絶縁膜層とを同時にエッティングする第2の工程とを含むことを特徴とする半導体装置の製造方法。

2. 特許請求の範囲

(I) 電極配線を形成すべき半導体基板の一表面に裏面段差を含む導電層を有し、上記導電層上には所定部分が開孔されてなる絶縁層を有する半導体装置において、上記絶縁層はエッティングレートの異なる第1および第2の絶縁層が積層されてなり、裏面の高さが高い導電層上の第2の絶縁層の厚さが裏面の高さが低い導電層上の第2の絶縁層の厚さよりも薄いことを特徴とする半導体装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、半導体装置とその製造方法に関するものであり、具体的には、集積回路の多層配線における配線接続穴の構造とその形成方法に関する。

(従来の技術)

第7図(A),(B)は、従来の配線接続穴の形成方法を示したものである。層間絶縁膜2の裏面3の平坦化は配線の伝達特性の均質化を向上させ、

配線の断線および端間の漏れ電流防止に有効なことから、配線の微細化に伴い必須となつてゐる。一般に多層配線における平坦化は凹凸のある下地上になされるため、裏面3の平坦度が向上する程、ホトレジスト11の開口部にエッティングによつて形成される配線接続穴4および5の穴の深さの差は下地の凹凸の持つてゐる段差の高さに近づくことになる。このため配線接続穴4と5を形成する際のエッティングに必要な時間が異なり、浅い方の配線接続穴4の下地6の露出面8は、配線接続穴4のエッティングが完了した後も、深い方の配線接続穴5の形成が完了するまでエッティング雰囲気にさらされることになる。この場合、層間絕縁膜2のエッティングレートを $\alpha$ 、下地6のエッティングレートを $\beta$ とし、配線接続穴4および5の深さをそれぞれH4、H5とする。エッティング完了時に下地6がエッティングされる深さ $H_6$ (第7図(B)参照)は少なくとも

$$H_6 = b(H_5 - H_4) / \alpha \text{ となる。}$$

## (発明が解決しようとする課題)

こうした下地のエッティングは不必要ばかりでなく、配線不良の原因にもなる。また、エッティングによるバタン変換量はエッティング完了後にエッティング雰囲気にさらされることにより増加しやすいので、バタンの微細化の観点からもエッティング時間の均一化が必要である。

## (課題を解決するための手段)

本発明の目的は、配線接続穴の形成において、異なる深さの配線接続穴のエッティング時間を均一化し、配線接続穴の接続歩留りの向上とバタン変換量のばらつきを防止した配線接続穴形成方法を提供することにある。

第6図(a)～(f)は、本発明による半導体装置の構造とその形成方法を工程順に説明するための原理図である。基板1の主面10は高さH10の段差を有する。主面10上に配線6および配線7を形成する。その後、層間絶縁膜2を形成する。続いて層間絶縁膜2と材料の異なる層間絶縁膜2

0を形成する。層間絶縁膜20の表面は例えばエッティング法により平坦化し裏面3を得る。ホトレジスト11により配線接続穴形成用の穴12および13を形成する。次に、例えばリアクティブ・イオン・エッティング法(RIE)によりホトレジスト11をマスクにして層間絶縁膜20をエッティングレート $\alpha$ でエッティングする。この時、層間絶縁膜2のエッティングレートは $\alpha/2$ とする。接続穴5のエッティング完了までに配線6がエッティング雰囲気にさらされる時間T6は $H_{10}/\alpha/2$ となる。H10は第6図(a)を参照されたい。 $\alpha/2$ が大きい程、T6も小さくなる。また、 $\alpha/2$ に対して $\alpha/2$ が大きい程、接続穴5のエッティング完了時間に対するT6の割合は減少し配線接続穴形成時間の均一化がはかれる。このように、本発明による半導体装置では層間絶縁膜は2層構造になつており、深い配線接続穴になる程その配線接続穴の位置におけるエッティングレートの大きい層間絶縁膜20のエッティングレートの小さい層間絶縁膜2に対する膜厚比率が大きくなるという

構造上の特徴を有している。

## (実施例)

第1図は、本発明による配線接続穴形成方法の第1の実施例を示す断面図である。図において1は半導体デバイスを構成してなる基板、2は絶縁膜、20は2と材質の異なる絶縁膜、3は最上部絶縁膜の裏面、4および5は配線接続穴、6および7は配線、8および9はそれぞれ配線6および7の露出部分、10は基板1の主面、11はホトレジストである。

以下、第1図に示した配線接続穴の製造方法を第4図を用いて説明する。

半導体装置デバイス、たとえばMOS電界効果トランジスタやバイポーラトランジスタおよび素子間分離領域等を構成してなる基板1の主面10には高さH10の段差が存在する。主面10上に例えばアルミニウムを材料とした配線をアルミニウム堆積工程とホトリソグラフィ工程とエッティング工程により形成する。配線6は主面10の段差

の高い法に形成された配線を代表し、配線7は上面10の段差の低い方に形成された配線を代表する。次に、たとえばSiO<sub>2</sub>を材料とした絶縁膜2を被着する。SiO<sub>2</sub>の被着は気相反応によつて、スペッタリングによつても可能である。SiO<sub>2</sub>の膜厚は上記配線を接着できる膜厚であればよく、配線の高さ1μmにたいして100nm程度でよい。絶縁膜2としてはSi<sub>3</sub>N<sub>4</sub>でもよい。続いて、PSGを材料とした絶縁膜20を1μm程度の膜厚で被着する。続いて、エッチパック法等の表面平坦化法により平坦化された絶縁膜20の表面3を得る。そのため、たとえばこの上に有機高分子材層12を塗布し、これを熱処理して平坦な表面を有する配線構造体を形成する。次に、このように構成された配線構造体の表面をRIEによつて絶縁膜20と有機高分子材層12のエッチングレートが同一となる条件でエッチングし、絶縁膜20の凸部を有機高分子材層12のエッチングと同時に除去して平坦面3を得る。

次に、ホトリソグラフィ工程によりホトレジス

ト11を膜厚1.6μmにて塗布後、バクーニングして配線接続穴の開口位置13および14を露出して表面3上をホトレジストで被覆する。

配線接続穴のエッチングは、通常のRIE装置を用い、エッチングガスにCHF<sub>3</sub>/O<sub>2</sub>混合ガスを流量比9/50 SCCM、圧力50mTor、RF電力1000W印加した場合には、PSGのエッチングレートは130nm/分、SiO<sub>2</sub>のエッチングレートは3.6nm/分である。今、側面として段差H10を0.5μm、配線接続穴4の深さを0.5μm、絶縁膜2の膜厚を0.5μmとする。この場合、配線接続穴5のエッチングを終了するまでに配線接続穴4は約3.8分のオーバーエッチングをうける。これは全エッチング時間の22%である。一方、層間絶縁膜としてすべてSiO<sub>2</sub>とした場合、配線接続穴4は同様のオーバーエッチングを約13.9分受けることになり、これは全エッチング時間の50%である。また、層間絶縁膜としてすべてPSGとした場合、配線接続穴のオーバ

ーエッチング時間は本実施例と同じであるが、これは全エッチング時間の50%である。この様に、層間絶縁膜を2層構造とし、上層のエッチングレートを下層のエッチングレートより大きくすることにより、下地主面10に段差を持ち表面3の平坦な配線構造体では、深さの異なる配線接続穴のエッチング完了時間を近付けることができる。その結果、不要なオーバーエッチング時間の短縮ができるので、オーバーエッチングに伴うアルミニウム配線のエッチングによる配線の接続不良やバタン変換差の増加を防止できる。

なお、層間絶縁膜20は第6図のごとくエッチパック後に全面的に表面に残つてもよいことは言うまでもない。

第2図は、本発明による配線接続穴形成方法の第2の実施例を示す断面図である。配線接続穴が不純物鉱物層16および17上に形成されてなる場合であり、第1の実施例の場合と同様に、配線接続穴4の不要なオーバーエッチング時間が短縮できる。

第3図は、本発明による配線接続穴形成方法の第3の実施例を示す断面図である。

以下、第3図に示した配線接続穴の製造方法を第5図を用いて説明する。

配線接続穴のエッチングは、第1段階としてエッチングガスにCHF<sub>3</sub>/O<sub>2</sub>混合ガスを流量比9/50 SCCM、圧力50mTor、RF電力1000W印加し、PSGのエッチングレートは130nm/分、SiO<sub>2</sub>のエッチングレートは3.6nm/分である。第1段階ではPSGを0.5μmエッチングし、SiO<sub>2</sub>を0.14μmエッチングする時間に進ぶ。続いて、第2段階としてエッチングガスにCHF<sub>3</sub>/O<sub>2</sub>混合ガスを流量比7.5/50 SCCM、圧力50mTor、RF電力1000W印加し、PSGのエッチングレートは50nm/分、SiO<sub>2</sub>のエッチングレートは20nm/分、ホトレジスト11のエッチングレートは100nm/分である。第2段階としてSiO<sub>2</sub>を360nmエッチングし、ホトレジストを0.9μmエッチングする時間を進ぶ。

この時、ホトレジストは上記エッチングレートの約50%のサイドエッティングを受けて、エッティング開始時より片側約0.5μm拡大する。第2段階のエッティング終了時に配線接続穴4はエッティングを完了して下地配線6の露出面8があらわれる。一方、配線接続穴5には層間絶縁膜2に0.14μmの末エッティング部分がある。引抜き、第3段階として第1段階と同じエッティング条件に選びSIO<sub>x</sub>を0.14μmエッティングし下地配線7の露出面9をあらわして配線接続穴5のエッティングを完了する。第2段階ではホトレジスト11の露出部分13および14の拡大とともに配線接続穴の側壁が傾きを持ち、穴径は開口部の上部程大きく下地配線の露出部8、9では初期の穴径を保つテーパ形状となる。その効果としては、配線接続穴に配線が入り込み易くなり配線の付回りが改善されるので、配線接続穴での接続歩留りが改善される。また一つの効果としては、下地配線の露出径は拡大しないので配線接続穴と下地配線との位置合わせマージンを大きくする必要がないの

で配線ピッチの微細化に有利である。

層間絶縁膜としてすべてSIO<sub>x</sub>として、配線接続穴のテーパ形状を上記実施例3の第2段階と同様の方法で得る場合、深さの浅い方の配線接続穴4の下地配線の露出部8で初期の穴径を保とうとすると、配線接続穴のエッティングプロセスにおいて第2段階の適用できる時間割が限られるので配線接続穴の形状としては配線接続穴5の上部0.5μmより下に倒壁の傾斜は得られない。そのため、配線の付回りの改善は穴径が微細化し、下地段差が大きくなる程、効果がなくなる。また、配線接続穴のオーバーエッティング時間が本実施例2よりも多くなることも明らかである。

層間絶縁膜としてすべてPSCGとして、配線接続穴のテーパ形状を上記実施例3の第2段階と同様の方法で得る場合、露出部8での穴径を拡大防止のためには、配線接続穴の形状として配線接続穴5の下部0.5μmにはテーパが形成できないばかりでなく、ホトレジストとPSCGとのエッティングレート比を大きくする安定したエッティング条

件が見いだし難いという実際上の問題がある。実施例3の第2段階における程度の場合、ホトレジストの拡大は片側0.2μmになるので配線の付回りの改善はほとんど期待できない。

このように、本発明では、異なる深さの配線接続穴のエッティング時間を均一化できる。また、配線接続穴の側壁のテーパの位置を配線ピッチの変更なしで自由に設定できる。

#### (発明の効果)

以上説明したように、本発明では配線接続穴のオーバーエッティング時間の短縮がかかる。その効果としてはオーバーエッティングに伴う配線接続穴下地のエッティング量が減少するので配線接続歩留りが向上する。さらに効果としてオーバーエッティングに伴うサイドエッティングによる配線接続穴の拡大が減少するので配線接続穴エッティング時のバタン変換率の制御性が向上する。これは配線ピッチの微細化に有利である。本発明では配線接続穴の側壁の傾きを制御できる。さらに本発明では

、配線接続穴の最下部の穴径を初期の穴径に保ちながら配線接続穴の拡大する位置を自由に設定できる。その効果としては配線接続穴の合わせマージンの縮少を招くことなく、配線接続穴における段差の急峻さが緩和されることになり、微細な配線接続穴にいたるまで配線のつきまわりが改善される結果、配線接続歩留りの向上が実現できる。

#### 4. 図面の簡単な説明

第1図、第2図、および第3図は、本発明の半導体装置の一実施例を示す断面図、第4図(a)～(c)は、第1図に示した半導体装置の製造方法の一実施例を工程順に示す断面図、第5図(a)～(d)は、第3図に示した半導体装置の製造方法の一実施例を工程順に示す断面図、第6図(a)～(f)は本発明の半導体装置の構成原理を工程順に示す断面図、第7図(A)～(B)は従来の半導体装置の製造方法の一例を工程順に示す断面図である。

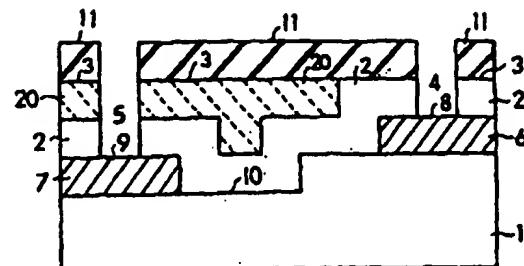
1…半導体デバイスを構成してなる基板

2…絶縁膜

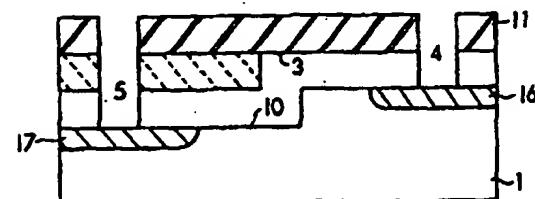
BEST AVAILABLE COPY

特開平1-286443(5)

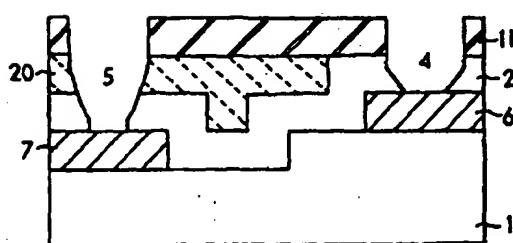
- 3 … 基上部絶縁膜の裏面
- 4, 5 … 配線接続穴
- 6, 7 … 配線
- 8, 9 … 配線 6, 7 の露出部分
- 10 … 基板 1 の裏面
- 11 … ホトレジスト
- 12 … 有機高分子材料
- 13, 14 … ホトレジスト 11 の配線接続穴 4, 5 の開口部
- 16, 17 … 不純物拡散層
- 20 … 絶縁膜 2 とは異なる材質の絶縁膜



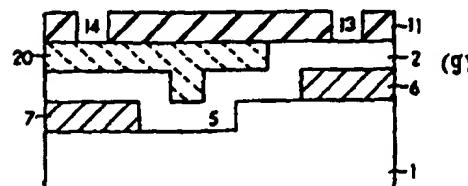
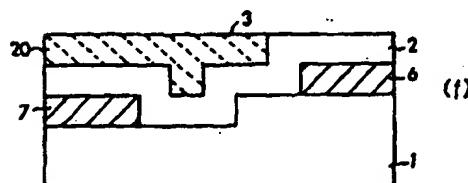
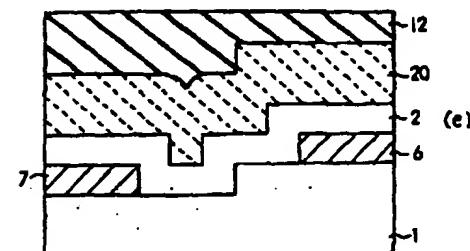
第 1 図



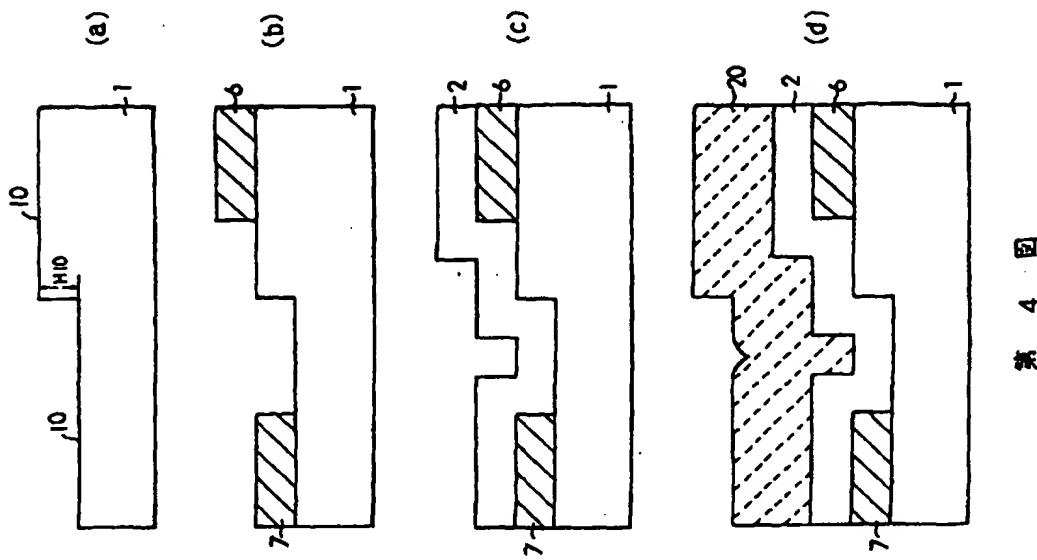
第 2 図



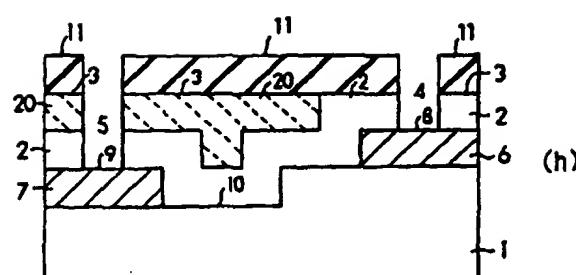
第 3 図



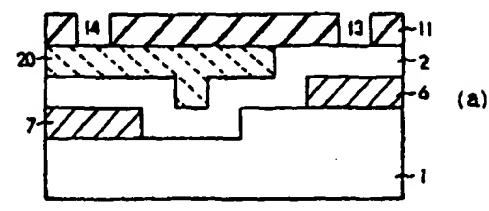
第 4 図



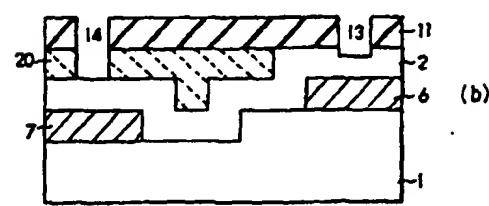
第4図



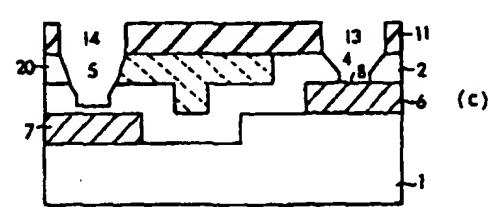
第4図



(a)



(b)

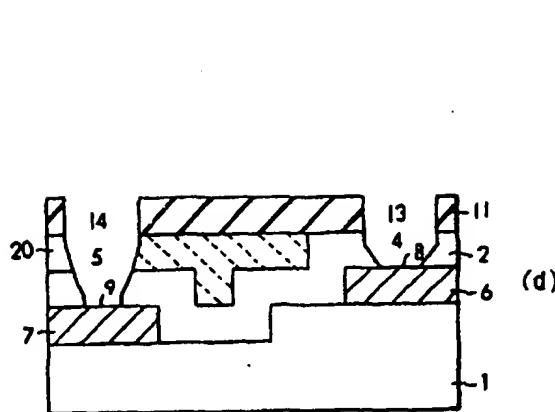


(c)

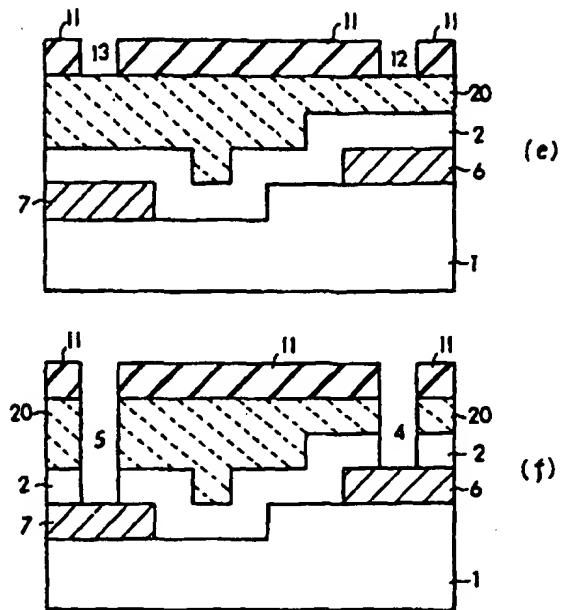
第5図

BEST AVAILABLE COPY

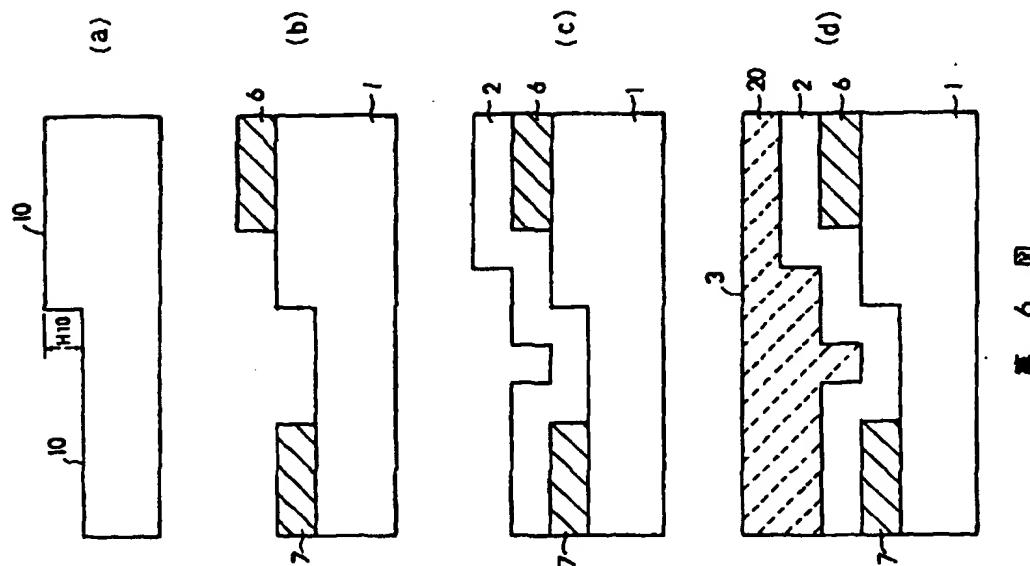
特開平1-286443(7)



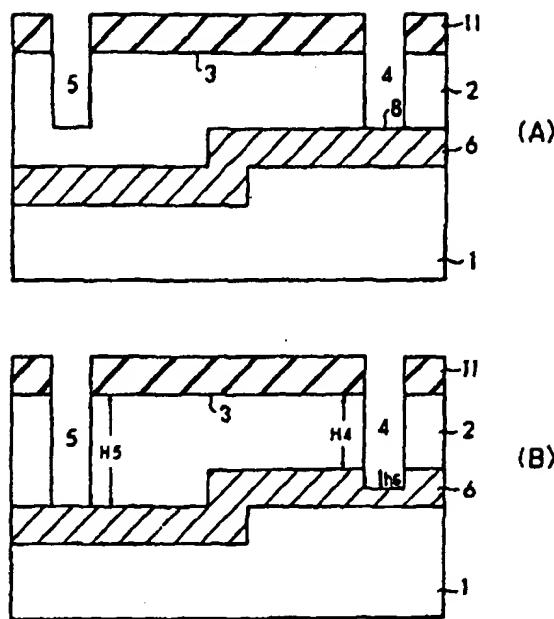
第 5 図



第 6 図



第 6 図



第 7 図

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**